

TP N°5

Description Structurale

Déclaration d'un paquetage

Objectif :

- 1)- Saisir et simuler les fichiers fournis
- 2)- Compléter le fichier PACKAGE
- 3)- Créer le fichier d'entité principal et simuler

1)- Saisie et simulation

1-1)- Saisir les fichiers suivants :

1-1)- Fichier de paquetage

```
-- fichier : mesportes.vhd
PACKAGE mesportes IS
  COMPONENT et
    PORT(e0,e1 : IN BIT;
          s : OUT BIT);
  END COMPONENT;
  COMPONENT ou
    PORT(e0,e1 : IN BIT;
          s : OUT BIT);
  END COMPONENT;
  COMPONENT inverseur
    PORT(e : IN BIT;
          s : OUT BIT);
  END COMPONENT;
END mesportes;

ENTITY et IS
  PORT(e0,e1 : IN BIT;
        s : OUT BIT);
END et;
ARCHITECTURE aet OF et IS
BEGIN
  s<=e0 AND e1;
END aet;
ENTITY ou IS
  PORT(e0,e1 : IN BIT;
        s : OUT BIT);
END ou;
ARCHITECTURE aou OF ou IS
BEGIN
  s<=e0 OR e1;
END aou;
ENTITY inverseur IS
  PORT(e : IN BIT;
        s : OUT BIT);
END inverseur;
ARCHITECTURE ainvs OF inverseur IS
BEGIN
  s<= NOT e;
END ainvs;
```

1-1-2)- Fichier de l'entité principale

```

Library ieee;
use ieee.std_logic_1164.all;
-- fichier : top.vhd
LIBRARY tp; --portes.vif en WARP. Utiliser
--library manager pour dire où est ce fichier
USE tp.mesportes.ALL;

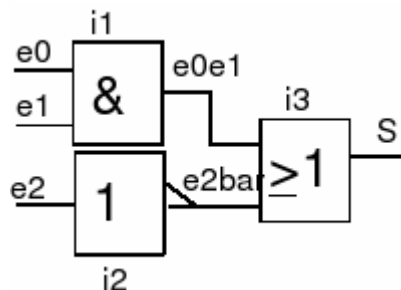
ENTITY Fct IS
PORT(e0,e1,e2 : IN BIT;
      s : OUT BIT);
END Fct;

ARCHITECTURE truc OF Fct IS
SIGNAL e0e1,e2bar : BIT;
BEGIN
  i1:et PORT MAP(e0,e1,e0e1);
  i2:inverseur PORT MAP(e2,e2bar);
  i3:ou PORT MAP(e0e1,e2bar,s);
END truc;

```

1-2)- Simulation de la description

La fonction décrite ci-dessus, correspond à la structure suivante :



Compiler et simuler la description ci-dessus et valider le bon fonctionnement.

2)- Compléter le fichier PACKAGE

Compléter le fichier mesportes.vhd avec tout les composants utilisés dans les TPs précédents en vu de leur réutilisation.

Nous pourrons retrouver, le multiplexeur, le décodeur BCD → 7 segments, décodeur démultiplexeur.....

3)- Créer le fichier d'entité principale et simuler

Nous souhaitons effectuer la gestion d'un clavier matriciel 16 touches (4*4)

- 3-1)- Proposer une analyse fonctionnelle et structurelle
 - 3-2)- Effectuer la description en langage VHDL
 - 3-3)- Compiler et simuler pour valider le fonctionnement
-